

**SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF**

Patent Number: JP2001057413  
Publication date: 2001-02-27  
Inventor(s): OOTO KENICHI; KOBAYASHI HEIJI; NAKAZAWA SHOICHIRO  
Applicant(s): MITSUBISHI ELECTRIC CORP;; RYODEN SEMICONDUCTOR SYST ENG CORP  
Requested Patent: ☐ JP2001057413  
Application Number: JP20000173755 20000609  
Priority Number(s):  
IPC Classification: H01L27/108; H01L21/8242; H01L21/316  
EC Classification:  
Equivalents:

---

**Abstract**

---

**PROBLEM TO BE SOLVED:** To provide a semiconductor device in which higher capacitance and lower power consumption of a capacitor are achieved, and manufacture thereof.  
**SOLUTION:** An interlayer oxide film 5e of a TEOS film containing no impurity concentration is formed on an interlayer oxide film 5d of a BPTEOS film containing an impurity. Apertures in a reverse circular truncated cone shape substantially of the same size are formed in the respective interlayer oxide films 5d, 5e so that a contact hole 51 having a shape of two vertically continuous reverse circular truncated cones as a whole is formed. Storage electrodes 8a, 8b, a dielectric film 1 and a cell plate electrode 9 constituting a capacitor are successively formed along the inner wall surface of the contact hole 51.

---

Data supplied from the esp@cenet database - I2

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2001-57413

(P2001-57413A)

(43)公開日 平成13年2月27日(2001.2.27)

(51)Int.Cl.<sup>7</sup>

識別記号

F I

テームコード\* (参考)

H 0 1 L 27/108

H 0 1 L 27/10

6 2 1 C

21/8242

21/316

M

21/316

審査請求 未請求 請求項の数23 O L (全 23 頁)

(21)出願番号 特願2000-173755(P2000-173755)

(22)出願日 平成12年6月9日(2000.6.9)

(31)優先権主張番号 特願平11-165897

(32)優先日 平成11年6月11日(1999.6.11)

(33)優先権主張国 日本 (J P)

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(71)出願人 591036505

菱電セミコンダクタシステムエンジニアリ  
ング株式会社

兵庫県伊丹市瑞原4丁目1番地

(72)発明者 大音 建一

東京都千代田区丸の内二丁目2番3号 三  
菱電機株式会社内

(74)代理人 100064746

弁理士 深見 久郎 (外4名)

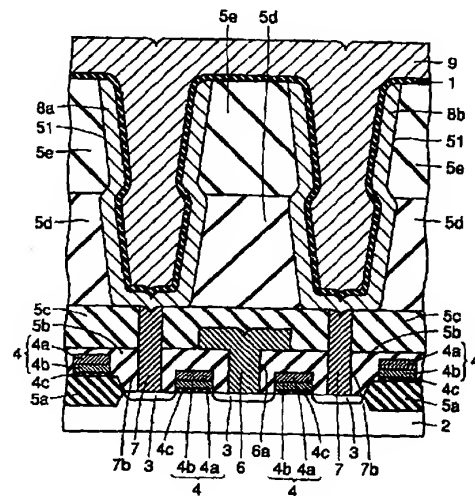
最終頁に続く

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【課題】 キャパシタの大容量化および低電力化を達成した半導体装置および製造方法を提供する。

【解決手段】 不純物を含むBPTEOS膜である層間酸化膜5dの上に、不純物濃度を含まないTEOS膜である層間酸化膜5eが形成されている。この層間酸化膜5d、5eそれぞれには、略同じ大きさの逆円錐台状の開口が形成され、全体として2つの逆円錐台が上下に連続するような形状のコンタクトホール51を形作っている。このコンタクトホール51の内壁面に沿うように、キャパシタを構成するストレージ電極8a、8b、誘電体膜1およびセルプレート電極9が順次形成されている。



【特許請求の範囲】

【請求項 1】 半導体基板と、

前記半導体基板の一主表面上に形成され、所定のエッチング条件において、下面から下面近傍所定位置までの平均等方性エッチング速度が、上面から上面近傍所定位置までの平均等方性エッチング速度よりも大きくなるように不純物濃度分布が設定された、不純物を含む絶縁膜とを備えた、半導体装置。

【請求項 2】 前記絶縁膜が、

第 1 不純物を有する第 1 絶縁膜と、

前記第 1 絶縁膜の上に形成され、前記第 1 絶縁膜の不純物濃度よりも低い不純物濃度の、第 2 不純物を有する第 2 絶縁膜とを含む、請求項 1 に記載の半導体装置。

【請求項 3】 前記第 2 絶縁膜の上に形成され、前記第 2 絶縁膜の不純物濃度よりも高い不純物濃度の、第 3 不純物を有する第 3 絶縁膜をさらに備えた、請求項 2 に記載の半導体装置。

【請求項 4】 前記半導体基板から離れていくにしたがって徐々に不純物濃度が低くなるように、前記絶縁膜の不純物濃度分布が設定された、請求項 1 に記載の半導体装置。

【請求項 5】 前記不純物が、硼素およびリンのうち少なくとも一方を含む、請求項 1～4 のいずれかに記載の半導体装置。

【請求項 6】 前記絶縁膜に、該絶縁膜を前記半導体基板の前記主表面に略垂直に貫通するホールが形成された、請求項 1～5 のいずれかに記載の半導体装置。

【請求項 7】 前記ホールの内周側面に沿うようにキャパシタが形成された、請求項 6 に記載の半導体装置。

【請求項 8】 前記ホールを埋め込むようにコンタクトプラグが形成された、請求項 6 に記載の半導体装置。

【請求項 9】 半導体基板の一主表面上に、所定のエッチング条件における下面から下面近傍所定位置までの平均等方性ウエットエッチング速度が、上面から上面近傍所定位置までの平均等方性エッチング速度より大きくなるように、不純物濃度分布が設定された絶縁膜を形成する工程を備える、半導体装置の製造方法。

【請求項 10】 前記絶縁膜を形成する工程が、前記半導体基板の前記主表面上に第 1 不純物を有する第 1 絶縁膜を形成する工程と、

前記第 1 絶縁膜の上に、前記第 1 絶縁膜の不純物濃度よりも高い不純物濃度の第 2 不純物を有する第 2 絶縁膜を形成する工程とを含む、請求項 9 に記載の半導体装置の製造方法。

【請求項 11】 前記絶縁膜を形成する工程が、前記第 2 絶縁膜の上に、前記第 2 絶縁膜の不純物濃度よりも高い不純物濃度の第 3 不純物を有する第 3 絶縁膜を形成する工程をさらに含む、請求項 10 に記載の半導体装置の製造方法。

【請求項 12】 前記絶縁膜を形成する前記工程が、前

記半導体基板から離れていくにしたがって徐々に不純物濃度が低くなるように不純物を添加する工程を含む、請求項 9 に記載の半導体装置の製造方法。

【請求項 13】 前記不純物が、硼素およびリンのうちの少なくとも一方を含む、請求項 9～12 のいずれかに記載の半導体装置の製造方法。

【請求項 14】 前記絶縁膜に、該絶縁膜を前記半導体基板の前記主表面に略垂直に貫通するホールを形成する工程をさらに備える、請求項 9～13 のいずれかに記載の半導体装置の製造方法。

【請求項 15】 前記ホールの側面に沿うようにキャパシタを形成する工程をさらに備える、請求項 14 に記載の半導体装置の製造方法。

【請求項 16】 前記ホールを埋め込むようにコンタクトプラグを形成する工程をさらに備える、請求項 14 に記載の半導体装置の製造方法。

【請求項 17】 前記第 1 絶縁膜が、半導体記憶装置のメモリセルを構成する、互いに所定の間隙を隔てて隣接する少なくとも 2 つのトランジスタのゲート電極上に形成されており、

前記第 1 絶縁膜を貫通して前記主表面に至る貫通穴に導電物質を埋め込んで形成されたストレージノードコンタクトプラグと、

前記第 2 絶縁膜および前記第 3 絶縁膜を貫通して前記ストレージノードコンタクトプラグの上端面に至る貫通穴に導電物質を埋め込んで形成されたストレージノードと、前記ストレージノードの表面に誘電膜を介して形成されたセルプレートとをさらに備え、

前記ストレージノードを形成する前記貫通穴は、前記第 2 絶縁膜と前記第 3 絶縁膜との境界において、上方へ向って径が縮小する段差を有する、請求項 3 に記載の半導体装置。

【請求項 18】 前記セルプレート上および前記第 3 絶縁膜上を覆うように形成されるとともに、前記第 3 絶縁膜よりも不純物濃度の低い第 4 絶縁膜をさらに備え、前記セルプレートの形成領域以外の領域において、前記第 4 絶縁膜および前記第 3 絶縁膜を貫通する貫通穴に導電物質を埋め込んで形成された、他のコンタクトプラグが設けられ、該他のコンタクトプラグは、前記第 3 絶縁膜と前記第 4 絶縁膜との境界において、上方へ向って径が縮小する段差を有する、請求項 17 に記載の半導体装置。

【請求項 19】 前記第 1 絶縁膜の厚さが、該第 1 絶縁膜の前記所定の間隙を埋める部分に生じたボイドが所定の熱処理によって抜け出る程度に設定され、前記第 1 絶縁膜を形成する工程の後、前記第 2 絶縁膜を形成する工程の前に、前記第 1 絶縁膜に生じたボイドを除去するための熱処理工程をさらに備える、請求項 10 に記載の半導体装置の製造方法。

【請求項 20】 前記第 1 絶縁膜を形成する工程の前

に、前記半導体基板の前記主表面上に、互いに所定の間隙を隔てて略平行に延びる2つの導電層と、該導電層の上面および前記所定の間隙の内面を覆うように窒化膜を形成する工程を備え、

前記第2絶縁膜を形成する工程の後、前記所定の間隙の位置において、フォトリソ法および異方性エッチングによって前記第2絶縁膜及び前記第1絶縁膜を貫通するホールを開く工程と、

ウエットエッチングによってレジストを除去する工程と、

前記第2絶縁膜をマスクとして、前記窒化膜に異方性エッチングを施すことにより、前記窒化膜を選択的に除去する工程と、

前記ホール内に導電物質を埋め込む工程とをさらに備える、請求項10記載の半導体装置の製造方法。

【請求項21】 前記第1絶縁膜が、半導体記憶装置のメモリセルを構成する、互いに所定の間隙を隔てて隣接する少なくとも2つのトランジスタのゲート電極上に形成されており、

前記第1絶縁膜を貫通して前記主表面に至る貫通穴を形成し、該貫通穴に導電物質を埋め込んで、ストレージノードコンタクトプラグを形成する工程と、

前記第2絶縁膜および前記第3絶縁膜を貫通して前記ストレージノードコンタクトプラグの上端面に至る貫通穴を形成し、該貫通穴に導電物質を埋め込んでストレージノードを形成する工程と、

前記ストレージノードの表面に誘電膜を介してセルプレート形成する工程とをさらに備える、請求項11記載の半導体装置の製造方法。

【請求項22】 前記ストレージノードの表面に、誘電膜を介して導電物質を堆積させ、それに所定のパターニングを施して、セルプレートを形成する工程と、

前記セルプレート上および前記第3絶縁膜上を覆うように、前記第3絶縁膜よりも不純物濃度の低い第4絶縁膜を形成する工程と、

前記セルプレートの形成領域以外の領域において、前記第4絶縁膜および前記第3絶縁膜を貫通する、他のコンタクトプラグを形成するための貫通穴を形成する工程と、

前記貫通穴に導電物質を埋め込むことにより、前記他のコンタクトプラグを形成する工程とをさらに備える、請求項21記載の半導体装置の製造方法。

【請求項23】 半導体基板の一主表面上に所定の間隙を隔てて互いに平行に形成された複数の半導体素子上を絶縁膜で覆う層間絶縁膜形成工程を含む、半導体装置の製造方法であって、

前記層間絶縁膜形成工程が、

前記複数の半導体素子の上面および前記所定の間隙の内面を覆う第1の酸化膜を、前記所定の間隙が埋まらない程度の厚さで形成する工程と、

熱処理を加えて前記第1の酸化膜を軟化させ、複数の半導体素子の上面の前記前記第1の酸化膜の一部を前記所定の間隙内に流れ込ませる工程と、

前記第1酸化膜上に、さらに第2の酸化膜を形成し、これに熱処理を加える工程とを備える、半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体装置およびその製造方法に関し、特に、MOSFET (Metal Oxide Semiconductor Field Effect Transistor) またはDRAM (Random Access Memory) 等におけるキャパシタおよびコンタクトプラグを有する半導体装置ならびにその製造方法に関するものである。

【0002】

【従来の技術】近年、半導体製造技術、特に、微細加工技術の進歩に伴い、MOS型トランジスタにおけるDRAMの高集積化および大容量化が進められてきている。この高集積化により1ビット当りの半導体素子の占有面積は減少してきている。そのため、情報(電荷)を蓄積するキャパシタの面積が減少することによって、蓄積される電荷が小さくなるため、わずかの電氣的影響により、誤ってキャパシタに電荷が注入される現象、または、誤ってキャパシタから電荷が放出される現象、すなわち、誤った情報が呼び出される問題、および、α線等によりメモリ内容が破壊されるソフトエラー等の問題が発生している。また、半導体装置の微細化により、トランジスタと配線、あるいは、配線と配線とを結ぶコンタクトプラグなどは、接触面積が減少するため、接触部分に生じるコンタクト抵抗が増大する。それにより、微細化された半導体素子においては、必要以上の電圧が要求されるため、消費電力が増加する。

【0003】上記の問題の1つである、半導体装置の微細化に伴うキャパシタ容量の減少に対しては、ストレージ電極に多結晶シリコン膜等を用いたキャパシタにおいて、占有面積を増大させる様々な方法が提案されている。提案されている方法の1つに、ストレージ電極を円筒形状に形成して、半導体基板の主表面に対して垂直な方向に接触面積を増加させる方法がある。

【0004】以下、図22～図28を用いて、円筒型キャパシタを含む従来のDRAMの構造および製造方法を説明する。まず、P型のシリコン基板102の上に分離酸化膜105aを形成し、素子形成領域を分離形成する。次に、分離酸化膜105aにより分離形成された素子形成領域に、ゲート酸化膜104cと、高融点金属シリサイド膜104aおよび多結晶シリコン膜104bの2層構造からなるゲート電極104(ワード線)とを形成する。その後、ゲート電極104をマスクとして、不純物注入により、n<sup>+</sup>拡散層であるソース/ドレイン領域103を形成する。それにより、MOSFET、すな

わち、MOS電界効果トランジスタを形成する。その後、ゲート電極104および分離酸化膜105aを覆うように、半導体基板102の上に、層間酸化膜105bを堆積する。その後、ソース/ドレイン領域103に接続するコンタクトホール106aを形成する。次に、コンタクトホール106aにコンタクトプラグを埋め込み、所定の形状にエッチングを行なう。それにより、図22に示すように、MOS電界効果トランジスタに接続するビット線106を形成する。次に、層間酸化膜105bの上に層間酸化膜105cを堆積し、図23に示すように、ソース/ドレイン領域103とキャパシタのストレージ電極とを電氣的に接続するプラグを形成するためのコンタクトホール107aを形成する。次に、コンタクトホール107a内に導電性物質を埋め込みコンタクトプラグ107を形成する。その後、層間酸化膜105cおよびコンタクトプラグ107の上に層間酸化膜105jを堆積する。この層間酸化膜105jの上に、所定のマスクを形成した後、図24に示すように、エッチングによりキャパシタが形成されるコンタクトホール150を形成する。次に、コンタクトホール150内にストレージ電極108a、108bとなる多結晶シリコン膜を形成する。その後、ストレージ電極108a、108bの表面および層間酸化膜105jの上面を覆うように、キャパシタ誘電体膜101を形成する。その後、キャパシタ誘電体膜101を覆うように、セルプレート電極109となる膜を堆積することにより、キャパシタが完成する。

【0005】次に、図45～図52を用いて、円筒型キャパシタを含む他の従来のDRAMの製造方法を説明する。この製造方法においては、まず、p型のシリコン基板202上にトレンチ分離205aを形成し、その後、活性領域のシリコン基板202表面を熱酸化することによって、シリコン基板202表面全面にゲート酸化膜203を形成する。次に、ゲート電極材料をゲート酸化膜203上全面に堆積した後、その上にハードマスクとなる酸化膜および窒化膜を形成する。その後、フォトリソ法および異方性エッチングを用いて、ハードマスクとなる酸化膜210および窒化膜211aを形成する。その後レジスト材料を除去し、酸化膜210および窒化膜211aをマスクとして異方性エッチングを用いて、活性領域上にゲート電極204を形成する。その後、全面にエッチングストッパーとなる窒化膜212aおよび層間酸化膜205bを堆積させることにより、図45に示す構造となる。

【0006】層間酸化膜205bの堆積後、堆積によってできるボイド213aを消滅させことや、パターンの粗である部分の段差を低減させることなどを目的とした熱処理を行う。その後、層間酸化膜205bの全面に異方性エッチングを施すことにより平坦性を向上させた後、フォトリソ法および窒化膜と酸化膜とのエッチ

ングレート異なる異方性エッチングにより、ビットラインコンタクトを形成するためのホール207aを開口し、レジストを除去する(図46)。その異方性エッチングの際、酸化膜が10～15nmエッチングされるウェットエッチングを用いるため、ホール207aは、図46に破線で示したサイズより大きくなる。その後、ホール207aの底に位置する窒化膜212aを異方性エッチングにより除去して、ホール207aの底においてシリコン基板202の表面を露出させる(図47)。この状態において、ホール207aの内周壁とゲート電極204との距離は、図47の円214内に示す位置において最も短くなる。

【0007】その後、層間酸化膜205b上およびビットラインコンタクトのホール207a内にビットライン電極材料を堆積し、その上全面にハードマスク材料である窒化膜を形成する。その後、フォトリソ法および異方性エッチングにより、ハードマスクとしての窒化膜211bを形成し、それをマスクとして、ビットライン206を形成する。図48は、ビットライン206が形成された直後の、ビットライン206が延びる方向に垂直な断面、すなわち、図45～図47に示した断面に直交する断面を示している。また図48は、層間酸化膜205bの上部より上方の部分のみが示され、それより下方は省略されている。

【0008】ビットライン206が形成された後、シリコン基板202上全面に窒化膜を形成し、その全面に異方性エッチングを施すことにより、ビットライン206および窒化膜211bの側壁に、窒化膜の枠212bを形成する(図49)。その後さらに、層間酸化膜205dを形成して熱処理を行う。その後、平坦化を目的として層間酸化膜205dの全面に異方性エッチングを施すことにより、図50に示す構造となる。次に、フォトリソ法および異方性エッチングを用いて、ストレージノードコンタクトプラグ207bを構成するホールを開口した後、このホール内に導電材料を堆積し、その上全面に異方性エッチングを施すことにより、ストレージノードコンタクトプラグ207bを形成する(図51)。

【0009】ストレージノードコンタクトプラグ207bを形成後、層間酸化膜205fを形成し、これにフォトリソ法および異方性エッチングによって、ストレージノードコンタクトプラグ207bの上方にホールを形成した後、このホールの内周壁に、ストレージノード208bとなる導電材料を堆積し、その表面の粗面化を行なう。そして、ホール内に保護物質を埋め込んだ後に全面異方性エッチングを施すことにより、平坦部の導電物質を除去して、ストレージノード208b間の電氣的分離を行なう。その後、誘電体膜(図示省略)を介在させて、導電材料を全面に堆積し、フォトリソ法および異方性エッチングによってセルプレート電極209を形成することにより、キャパシタ構造が完成する。

【0010】その後、層間酸化膜205f上およびセルプレート209上に層間酸化膜205hを形成し、全面異方性エッチングにより平坦化を行った後、フォトリソ法および異方性エッチングにより、コンタクトブラグ207cを形成するためのホールを形成する。その後、このホール内に導電物質を堆積して、それに全面異方性エッチングを施すことにより、コンタクトブラグ207cを形成する(図52)。

【0011】

【発明が解決しようとする課題】図22～図28に示した上記従来の製造工程を経て形成されたキャパシタは、半導体素子の半導体基板102に対する平面的な占有面積が減少するにしたがい、半導体基板102に対して垂直な方向に大きく形成される、すなわち、キャパシタが形成されるコンタクトホール150は半導体基板102の主表面に対して垂直な方向に大きく形成される。

【0012】これにより、通常、図25に示すように、ストレージ電極109が形成されるコンタクトホール150は、ドライエッチングにより、層間酸化膜105jの上部が下部よりも大きくエッチングされるため、層間酸化膜105jの下部から上部に向かうにしたがって、開口径が徐々に大きくなるような傾斜を有する側壁を備える上下を逆にした載頭円錐形状となる。そのため、平面的に小さなコンタクトホール150を形成しようとすると、コンタクトホール150の上部に対して下部は開口径が非常に小さくなってしまふ。その結果、コンタクトホール150の下部では、ストレージ電極109となる膜を形成するための導電性物質が埋め込まれずに詰まってしまう現象が発生する。

【0013】また、セルプレート電極109となる膜を形成するための導電性物質はコンタクトホール150の下部に精確に埋め込まれない場合においては、セルプレート電極109の電極として機能する部分の表面積が減少することにより、キャパシタの静電容量が減少する。たとえば、セルプレート電極109となる膜を形成するための導電性物質が精確に埋め込まれたとしても、コンタクトホール150の下部ではセルプレート電極109が細くなるため、電荷が蓄積されにくくなりセルプレート電極としての役割を果たさなくなる。

【0014】また、コンタクトホール150においては、キャパシタが、半導体基板102の主表面からの高さが高くなるにしたがい、アスペクト比が大きくなるが、上記のように、コンタクトホール150の側壁の傾斜により、コンタクトホール150の下部では開口径が小さくなり、さらに、コンタクトホール150の上部においてはコンタクトホール150の中間部よりも開口径が小さくなるボーイング形状となる現象が発生する。このようなコンタクトホール150がボーイング形状となる現象が発生すると、図26に示すように、層間酸化膜105kに形成されたコンタクトホール150に沿って

形成される物質170が精確に埋め込まれないために、物質170内部にボイドが形成されるおそれがある。

【0015】さらに、コンタクトブラグ107における問題点を図27および図28を用いて説明する。図27は、図23におけるB-B線断面である。図27から分かるように、コンタクトブラグ107はビット線106との短絡を考慮して、コンタクトホール107a上部において小さい開口径が要求される。そのため、上記のように平面的に小さな半導体装置において上下逆の載頭円錐状にコンタクトホールが形成されると、下部の開口径はかなり小さくなる。それにより、コンタクトホール107aに埋め込まれる導電性のコンタクトブラグの下面とソース/ドレイン領域103とのコンタクト抵抗は大きくなる。また、図28に示すように、コンタクト抵抗を小さくするためにウェットエッチングを用いてコンタクトホール107aの開口径を拡大し、コンタクトホール107bすると、ビット線106とコンタクトホール107bに沿って形成されるコンタクトブラグとが短絡するおそれがある。

【0016】図45～図52に基づいて説明した他の従来の製造方法を用いる場合には、次のような問題点がある。まず、層間酸化膜205bを形成した際に、隣り合うゲート電極204間においてボイド213aが発生する。集積度が高くなるにつれてゲート電極204間の間隔が狭くなってきていることから、このボイド213aが発生する度合いが大きくなってきている。層間酸化膜205bの堆積後に行なう熱処理では、ボイド213aのすべてが消滅することではなく、残存するボイド213aによってビットラインコンタクト同士の電氣的短絡またはストレージコンタクト同士の電氣的短絡が発生する場合がある。また、ビットラインコンタクトを形成するホール207aをエッチングによって開口した状態で、図47に示す円214内において、ビットラインコンタクトブラグとゲート電極204との距離が短くなり、電氣的短絡が発生しやすくなる。

【0017】また、ビットラインのエッチングおよび枠付けのエッチングにより、層間酸化膜205bが図49に示すように異方的に削れる。その削れた箇所において、レジスト除去や堆積前処理等に用いられるウェットエッチングの際に、層間酸化膜205bが等方的にエッチングされる。そのため、層間酸化膜205bが窒化膜の枠212bの直下までえぐられ、そのえぐられた箇所において、層間酸化膜205dを堆積する際にボイド213bが発生する。そのボイド213bが、ストレージノードコンタクトブラグ207b同士の電氣的短絡を発生させる。

【0018】また、ストレージノードコンタクトブラグ207bを形成するホールがボーイング形状となるため、ホール底部近傍でセルプレート電極209が細くなって高抵抗となるため、セルプレートとしての役割を果

たさなくなる場合もある。また、ホール底部でストレージノード電極の材料が埋ってしまい、その結果キャパシタ容量が低下するおそれがある。その他の各ホールも同様にボウイング形状となり、やはり、コンタクトプラグを形成する導電物質の埋め込み不良が生じたり、底部近傍においてホールが狭くなったりするため、コンタクト抵抗が高くなるという問題がある。

【0019】本発明は、上記に示した課題を解決するためになされたものであり、その目的は、キャパシタの大

容量化および低電力化を達成した半導体装置および製造

方法を提供することである。

【0020】

【課題を解決するための手段】上記課題を解決する本発明の半導体装置は、半導体基板と、半導体基板の上に形成され、所定のエッチング条件において、下面から下面近傍所定位置までの平均等方性エッチング速度が、上面から上面近傍所定位置までの平均等方性エッチング速度よりも大きくなるように不純物濃度分布が設定された、

不純物を含む絶縁膜とを備えている（請求項1）。

【0021】このような構造にすることにより、絶縁膜を貫通するようにドライエッチングを用いて形成された上下逆の載頭円錐状のコンタクトホールの開口径を、等方性のウェットエッチング等を用いて拡張するような場合において、たとえば、不純物濃度を半導体基板の主表面から離れていくにしたがって徐々に低くするような絶縁膜を形成することにより、半導体基板の主表面に略平行な方向における絶縁膜のエッチング速度を、半導体基板の主表面から離れていくにしたがって徐々に小さくするように設定することが可能となる。そのため、コンタクトホールの開口径を半導体基板に近づくにしたがって徐々に大きく拡張することができる。その結果、コンタクトホールを略円柱状に形成することが可能となる。

【0022】それにより、たとえば、上記略円柱形状に開口されたコンタクトホールにキャパシタが形成される場合に、半導体基板に近い部分が細くなることにより生じるキャパシタを構成する膜の埋め込み不良を防止できる。したがって、埋め込み不良のためにキャパシタ下部の抵抗が増加して生じるキャパシタ容量の低下等を抑制できる。そのため、キャパシタ容量を向上させることが可能となる。それにより、半導体基板の主表面に平行な面において同一占有面積でキャパシタ容量を増加させることができるため、ソフトエラー等のキャパシタの誤動作を抑制できる。その結果、小さな占有面積で精確に動作するキャパシタを形成できるため、半導体装置を微細化することが可能となる。

【0023】また、上記略円柱形状に開口されたコンタクトホールに、たとえば、コンタクトプラグが形成される場合に、コンタクトプラグが他の導電層と接触する上端部分の開口径が大きくなることも抑制される。その結果、コンタクトプラグの下端のコンタクト部における他

の導電層との接触面積がより大きく確保されることになり、コンタクトプラグのコンタクト抵抗の増加を抑制できるため、半導体装置の省電力化を図ることができる。

【0024】本発明の半導体装置は、一つの実施例においては、絶縁膜が、第1不純物を有する第1絶縁膜と、第1絶縁膜の上に形成され、第1絶縁膜の不純物濃度よりも低い不純物濃度の、第2不純物を有する第2絶縁膜とを含んでいる（請求項2）。

【0025】このような構造にすることにより、第1絶縁膜の不純物濃度が第2絶縁膜の不純物濃度よりも高くなるように設定されているため、ウェットエッチングにおいては第1絶縁膜が第2絶縁膜よりも大きくエッチングされる。そのため、第1および第2絶縁膜に形成されたコンタクトホールの開口径を、ウェットエッチングを用いて拡張する場合に、第1絶縁膜の開口を第2絶縁膜の開口より大きく拡大できる。その結果、上記請求項1に記載の半導体装置と同様の理由で、小さな占有面積で精確に動作するキャパシタを形成でき、また、コンタクト抵抗を低減できるため、半導体装置を微細化および省電力化することが可能となる。

【0026】本発明の半導体装置には、第2絶縁膜の上に形成され、第2絶縁膜の不純物濃度よりも大きな不純物濃度の、第3不純物を有する第3絶縁膜をさらに備える場合も含まれる（請求項3）。

【0027】このような構造にすることにより、第3絶縁膜の不純物濃度が第2絶縁膜の不純物濃度よりも高くなるように設定されているため、ウェットエッチングにより絶縁膜の開口径を拡大する工程においては、第3絶縁膜のエッチング速度が第2絶縁膜のエッチング速度よりも大きくなる。そのため、絶縁膜に形成されるコンタクトホールの上部近傍の開口が、熱処理等の影響で小さくなるような場合に、コンタクトホールに埋め込まれる導電性物質の埋め込み不良を防止できる。それにより、コンタクトプラグの埋め込み不良により生じるコンタクトプラグのコンタクト抵抗の増加を抑制できるため、半導体装置の省電力化を図ることができる。

【0028】本発明の半導体装置は、他の実施例においては、半導体基板から離れていくにしたがって徐々に不純物濃度が低くなるように、絶縁膜の不純物濃度分布が設定されている（請求項4）。

【0029】このような構造にすることにより、半導体基板に近づくほど不純物が多く含まれているため、ウェットエッチングにおいては、絶縁膜は半導体基板に近づくにしたがってより大きくエッチングされる。そのため、上記請求項1に記載の半導体装置と同様の理由で、小さな占有面積で精確に動作するキャパシタを形成でき、また、コンタクト抵抗を低減できるため、半導体装置を微細化および省電力化することが可能となる。

【0030】本発明の半導体装置に用いられる不純物は、たとえば、硼素およびリンのうちの少なくとも一方

を含む（請求項 5）。

【0031】これにより、たとえば、BPTEOS（Boro Phospho Tetra Etyle OrthoSilicate）膜、PSG（Phospho Silicate Glass）膜等を絶縁膜として形成することで、絶縁膜をウエットエッチングする場合のエッチング速度に変化がもたらされ、上述の本発明の効果を得ることができる。

【0032】本発明の半導体装置は、絶縁膜に、絶縁膜を半導体基板の主表面に略垂直に貫通するホールが形成される場合に適用されることが好ましい（請求項 6）。

【0033】本発明の半導体装置の絶縁膜を貫通して形成されたホールを、キャパシタを形成する空間、または、コンタクトプラグを形成する空間として使用することにより、半導体装置の微細化および省電力化を図ることができる。

【0034】本発明の半導体装置のホールには、たとえば、その内周側面に沿うようにキャパシタが形成されている（請求項 7）。

【0035】このような構造にすることにより、コンタクトホールを、キャパシタを形成する空間とすることで、上記請求項 6 に記載したような半導体装置の微細化という効果を得ることができる。

【0036】また、本発明の半導体装置のホールには、それを埋め込むようにコンタクトプラグが形成されている場合もある（請求項 8）。

【0037】このような構造にすることにより、コンタクトホールを、コンタクトプラグを形成する空間とすることで、上述した半導体装置の省電力化という効果を得ることができる。

【0038】本発明を半導体装置のメモリセルに適用した一実施例においては、第 1 絶縁膜が、半導体記憶装置のメモリセルを構成する、互いに所定の間隙を隔てて隣接する少なくとも 2 つのトランジスタのゲート電極上に形成されており、第 1 絶縁膜を貫通して半導体基板の主表面に至る貫通穴に導電物質を埋め込んで形成されたストレージノードコンタクトプラグと、第 2 絶縁膜および第 3 絶縁膜を貫通してストレージノードコンタクトプラグの上端面に至る貫通穴に導電物質を埋め込んで形成されたストレージノードと、ストレージノードの表面に誘電膜を介して形成されたセルプレートとをさらに備え、ストレージノードを形成する貫通穴は、第 2 絶縁膜と第 3 絶縁膜との境界において、上方へ向って径が縮小する段差を有する（請求項 17）。

【0039】このような半導体記憶装置においては、他のコンタクトプラグをさらに形成される場合にも適用される。その場合には、セルプレート上および第 3 絶縁膜上を覆うように形成されるとともに、第 3 絶縁膜よりも不純物濃度の低い第 4 絶縁膜をさらに備え、セルプレートの形成領域以外の領域において、第 4 絶縁膜および第 3 絶縁膜を貫通する貫通穴に導電物質を埋め込んで形成

された、他のコンタクトプラグが設けられ、該他のコンタクトプラグは、第 3 絶縁膜と第 4 絶縁膜との境界において、上方へ向って径が縮小する段差を有する（請求項 18）。

【0040】本発明の半導体装置の製造方法は、一つの局面においては、半導体基板の上に、所定のエッチング条件における下面から下面近傍所定位置までの平均等方性エッチング速度が、上面から上面近傍所定位置までの平均等方性エッチング速度より大きくなるように、不純物濃度分布が設定された絶縁膜を形成する工程を備えている（請求項 9）。

【0041】このような製造方法を用いることにより、ドライエッチングにより絶縁膜を貫通するように形成された上下を逆にした載頭円錐形状のコンタクトホールの開口径を、等方性のウエットエッチング等を用いて拡張するような場合において、たとえば、不純物濃度を半導体基板の主表面から離れていくにしたがって徐々に低くすることにより、半導体基板の主表面に略平行な方向における絶縁膜のエッチング速度を、半導体基板の主表面から離れていくにしたがって徐々に小さくするように設定された絶縁膜とすることが可能となる。そのため、開口径が半導体基板に近づくにしたがって徐々に大きく拡張される絶縁膜を形成することができる。その結果、コンタクトホールが略円柱状に形成された絶縁膜を形成することが可能となる。

【0042】それにより、たとえば、上記略円柱形状に開口されたコンタクトホールにキャパシタが形成された場合に、半導体基板に近い部分が細くなることにより生じるキャパシタを構成する膜の埋め込み不良を防止できる絶縁膜を、上部の開口径を拡大することなく形成できる。したがって、埋め込み不良のためにキャパシタ下部の抵抗が増加して生じる容量の低下等が抑制されたキャパシタを、上部の開口径の大幅な拡大により平面的の大きな構造とすることなく製造できる。そのため、半導体基板の主表面に平行な面において同一占有面積でキャパシタ容量を増加させることができるため、小さなキャパシタにおいてもソフトエラー等の誤動作が抑制される。その結果、小さな占有面積で精確に動作するキャパシタが形成されるため、微細化された半導体装置を提供することが可能となる。

【0043】また、上記略円柱形状に開口されたコンタクトホールに、たとえば、コンタクトプラグを形成する場合に、コンタクトプラグが他の導電層と接触する部分の開口径を大きくすることもできる。それにより、コンタクトプラグと他の導電層との接触面積を大きくすることにより、コンタクトプラグの下部でのコンタクト抵抗の増加が抑制されるため、省電力化された半導体装置を提供することができる。

【0044】本発明の半導体装置の製造方法の一実施例においては、絶縁膜を形成する工程が、半導体基板の上

10

20

30

40

50



に第1不純物を有する第1絶縁膜を形成する工程と、第1絶縁膜の上に、第1絶縁膜の不純物濃度よりも高い不純物濃度の第2不純物を有する第2絶縁膜を形成する工程とを含んでいる(請求項10)。

【0045】このような工程を含むことにより、第1絶縁膜の不純物濃度が第2絶縁膜の不純物濃度よりも高くなるように設定することができるため、以後の工程におけるウエットエッチングにおいては第1絶縁膜が第2絶縁膜よりも大きくエッチングされる。そのため、第1および第2絶縁膜に形成されたコンタクトホール10の開口径を、ウエットエッチングを用いて拡張する場合に、第1絶縁膜の開口径のみが大きく拡張された絶縁膜が形成される。その結果、小さな占有面積で精確に動作するキャパシタを形成でき、また、コンタクト抵抗を低減できるため、微細化および省電力化された半導体装置を提供することが可能となる。

【0046】本発明の半導体装置の製造方法は、絶縁膜を形成する工程が、第2絶縁膜の上に、第2絶縁膜の不純物濃度よりも高い不純物濃度の第3不純物を有する第3絶縁膜を形成する工程をさらに含んでいる場合もある(請求項11)。

【0047】このような工程を含むことにより、第3不純物の濃度が第2不純物の濃度よりも高くなるように設定されるため、ウエットエッチングにおいてコンタクトホールの開口径を拡張する場合に、第3絶縁膜のエッチング速度が第2絶縁膜のエッチング速度よりも大きくなる。そのため、絶縁膜に形成されるコンタクトホール10上部の開口径が、熱処理等により小さくなるような場合に、コンタクトホールに埋め込まれる導電性物質の埋め込み不良を防止できる。それにより、埋め込み不良により生じるコンタクトプラグの抵抗の増加が抑制されるため、省電力化を図られた半導体装置を提供することができる。

【0048】本発明の半導体装置の製造方法の好ましい実施例においては、絶縁膜を形成する工程が、半導体基板から離れていくにしたがって徐々に不純物濃度が低くなるように不純物を添加する工程を含んでいる(請求項12)。

【0049】このような工程を含むことにより、ウエットエッチングにおいて、半導体基板に近づくにしたがってより大きくエッチングされる絶縁膜を形成できる。そのため、小さな占有面積で精確に動作するキャパシタが形成されるため、微細化された半導体装置を提供することが可能となる。

【0050】本発明の半導体装置の製造方法においては、不純物として、たとえば、硼素およびリンのうちの少なくとも一方を含むものが用いられる(請求項13)。

【0051】このような不純物を用いることにより、たとえば、BPTEOS膜またはPSG膜等を絶縁膜とし

て形成することで、ウエットエッチングの速度に変化を持たせることが可能となり、本発明の上述の効果を実現することができる。

【0052】本発明の半導体装置の製造方法は、絶縁膜に、半導体基板の主表面に略垂直に絶縁膜を貫通するホールを形成する工程をさらに備える場合に、特に好ましく適用される(請求項14)。

【0053】このような工程により形成されるを含むホールは、たとえば、キャパシタを形成する空間、または、コンタクトプラグを形成する空間として使用することにより、半導体装置の微細化および省電力化を図ることができる。

【0054】本発明の半導体装置の製造方法の好ましい実施例においては、ホールの側面に沿うようにキャパシタを形成する工程をさらに備えている(請求項15)。

【0055】このような工程を含むことにより、コンタクトホールを、キャパシタを形成する空間とすることで、上述のように、微細化された半導体装置を得ることができる。

【0056】本発明における半導体装置の製造方法は、ホールを埋め込むようにコンタクトプラグを形成する工程をさらに備える場合にも適用される(請求項16)。

【0057】このような工程を用いて、コンタクトホールを、コンタクトプラグを形成する空間として使用することにより、上述のように省電力化された半導体装置を得ることができる。

【0058】本発明の製造方法の他の実施例においては、第1絶縁膜の厚さが、該第1絶縁膜の上記所定の間隙を埋める部分に生じたボイドが所定の熱処理によって抜け出る程度に設定され、第1絶縁膜を形成する工程の後、第2絶縁膜を形成する工程の前に、第1絶縁膜に生じたボイドを除去するための熱処理工程をさらに備える(請求項19)。

【0059】このような工程を適用することにより、層間絶縁膜におけるボイドを消失させることができるため、隣接する導電層間の短絡などの、ボイドに起因する問題点を解消することができる。

【0060】また、本発明の製造方法のさらに他の実施例においては、第1絶縁膜を形成する工程の前に、半導体基板の主表面上に、互いに所定の間隙を隔てて略平行に延びる2つの導電層と、該導電層の上面および上記所定の間隙の内面を覆うように窒化膜を形成する工程を備え、第2絶縁膜を形成する工程の後、上記所定の間隙の位置において、フォトリソ法および異方性エッチングによって第2絶縁膜および第1絶縁膜を貫通するホールを開く工程と、ウエットエッチングによってレジストを除去する工程と、第2絶縁膜をマスクとして、窒化膜に異方性エッチングを施すことにより、窒化膜を選択的に除去する工程と、ホール内に導電物質を埋め込む工程とをさらに備える(請求項20)。

【0061】この製造方法によれば、ホールの開口径が縮小された第2絶縁膜をマスクとして異方性エッチングを施すことにより窒化膜を選択的に除去することによってホールのコンタクト部を形成するため、たとえば半導体記憶装置のビットラインコンタクトを隣接するゲート電極間に形成する場合に適用することにより、おいて、ビットラインコンタクトとゲート電極との短絡に対するマージンを向上することができる。

【0062】また、本発明の製造方法のさらに他の実施例においては、第1絶縁膜が、半導体記憶装置のメモリセルを構成する、互いに所定の間隙を隔てて隣接する少なくとも2つのトランジスタのゲート電極上に形成されており、第1絶縁膜を貫通して主表面に至る貫通穴を形成し、該貫通穴に導電物質を埋め込んで、ストレージノードコンタクトプラグを形成する工程と、第2絶縁膜および第3絶縁膜を貫通してストレージノードコンタクトプラグの上端面に至る貫通穴を形成し、該貫通穴に導電物質を埋め込んでストレージノードを形成する工程と、ストレージノードの表面に誘電膜を介してセルプレート

を形成する工程とをさらに備える（請求項21）。

【0063】このような製造方法によれば、ストレージノードを形成する貫通穴が、第2絶縁膜および第3絶縁膜の境界において、上方に向かって径が縮小する段差を有するように形成されるため、ボーイング形状になることが抑制される。その結果、貫通穴の下部における導電物質の埋め込み不良や、電極材料の底上げなどの発生を防止することができる。

【0064】このような製造方法は、ストレージノードコンタクトプラグおよびストレージノードを形成するための貫通穴以外の貫通穴を別領域に形成する場合にも適用される。その場合には、ストレージノードの表面に、誘電膜を介して導電物質を堆積させ、それに所定のパターニングを施して、セルプレートを形成する工程と、セルプレート上および第3絶縁膜上を覆うように、第3絶縁膜よりも不純物濃度の低い第4絶縁膜を形成する工程と、セルプレートの形成領域以外の領域において、第4絶縁膜および第3絶縁膜を貫通する、他のコンタクトプラグを形成するための貫通穴を形成する工程と、貫通穴に導電物質を埋め込むことにより、他のコンタクトプラグを形成する工程とをさらに備える（請求項22）。

【0065】本発明の半導体装置の製造方法は、他の局面においては、半導体基板の一主表面上に所定の間隙を隔てて互いに平行に形成された複数の半導体素子上を絶縁膜で覆う層間絶縁膜形成工程を含む、半導体装置の製造方法であって、層間絶縁膜形成工程が、複数の半導体素子の上面および所定の間隙の内面を覆う第1の酸化膜を、所定の間隙が埋まらない程度の厚さで形成する工程と、熱処理を加えて第1の酸化膜を軟化させ、複数の半導体素子の上面の第1の酸化膜の一部を所定の間隙内に流れ込ませる工程と、第1の酸化膜上に、さらに第2の

酸化膜を形成し、これに熱処理を加える工程とを備える（請求項23）。

【0066】この製造方法によれば、第1の酸化膜を形成した後の熱処理によって第1の酸化膜が軟化し、複数の半導体素子の上面の第1の酸化膜の一部が所定の間隙内に流れ込むことにより、所定の間隙における凹部が、アスペクト比が低くかつならかな形状となる。そのため、その後に形成される第2の酸化膜が埋まり易くなり、ボイドを形成することなく層間絶縁膜を形成することができる。

【0067】

【発明の実施の形態】以下、本発明の実施の形態を図に基づいて説明する。

【0068】（実施の形態1）本発明の実施の形態1における半導体装置の構造および製造方法を、図1～図9を用いて説明する。まず、図1を用いて本実施の形態における半導体装置の構造を説明する。本実施の形態の半導体装置においては、P型のシリコン基板2の上に素子形成領域を分離するための分離酸化膜5aが形成されている。分離酸化膜5aにより分離形成された素子形成領域には、ゲート酸化膜4c、および、高融点金属シリサイド膜4aと多結晶シリコン膜4bとの2層構造からなるゲート電極4（ワード線）が形成されている。ゲート電極4の両側には、n<sup>+</sup>拡散層であるソース/ドレイン領域3が形成され、MOSFET、すなわち、MOS電界効果トランジスタが形成されている。

【0069】また、ゲート電極4、ソース/ドレイン領域3および分離酸化膜5aを覆うように、半導体基板2の上に、層間酸化膜5bが形成されている。層間酸化膜5bには、中央のソース/ドレイン領域3に至るコンタクトホール6aが形成されている。このコンタクトホール6aには、コンタクトプラグが埋め込まれ、所定の形状にエッチングされた、MOS電界効果トランジスタに接続するビット線6が形成されている。

【0070】また、層間酸化膜5bの上に層間酸化膜5cが形成され、この層間酸化膜5b、5cを貫通するように、キャパシタのストレージ電極と電気的に接続するコンタクトプラグが埋め込まれるコンタクトホール7bが形成されている。このコンタクトホール7b内には、導電物質が埋め込まれ、コンタクトプラグ7が形成されている。また、層間酸化膜5c上には、BPTEOS膜である層間酸化膜5dが形成されている。この層間酸化膜5dの上には、不純物がほとんど含まれていないTEOS膜である層間酸化膜5eが形成されている。また、層間酸化膜5d、5eそれぞれを貫通するように、キャパシタが形成される2つの上下を逆にした載頭円錐が上下に連続するコンタクトホール51が形成されている。

【0071】また、コンタクトホール51の内壁に沿うように、ストレージ電極8a、8bとなる多結晶シリコン膜が形成されている。このストレージ電極8a、8b

の表面および層間酸化膜5eの上面を覆うように、キャパシタ誘電体膜1が形成されている。このキャパシタ誘電体膜1の表面を覆うように、セルプレート電極9が形成され、2つの上下を逆にした載頭円錐が上下に連続する形状のキャパシタが構成されている。

【0072】このような構造にすることにより、硼素およびリンの不純物が含まれた層間酸化膜5dの上には、層間酸化膜5dよりリンまたは硼素等の不純物がほとんど含まれていない層間酸化膜5eが形成されているため、層間酸化膜5dを等方性のウエットエッチング速度が層間酸化膜5eの等方性のウエットエッチング速度よりも大きくなる。そのため、層間酸化膜5dおよび層間酸化膜5eを貫通するように形成されたコンタクトホール50を、ウエットエッチングを用いて開口径を拡張するような場合において、層間酸化膜5dの開口径を層間酸化膜5eの開口径よりも大きく拡張することが可能となる。通常、ドライエッチングにより層間酸化膜5dおよび層間酸化膜5eに貫通するように形成されたコンタクトホールは、層間酸化膜5dの開口径が層間酸化膜5eの開口径よりも小さくなるような上下逆の載頭円錐状になるが、本実施の形態の半導体装置においては、上記のように層間酸化膜5dの開口径が層間酸化膜5eの開口径より大きく拡張される。それにより、キャパシタが形成されるコンタクトホール51を略同一の2つの上下を逆にした載頭円錐が上下に連続する形状とすることができる。

【0073】そのため、上記2つの上下を逆にした載頭円錐が上下に連続する形状に開口されたコンタクトホール51にキャパシタが形成された本実施の半導体装置においては、コンタクトホールの半導体基板2に近い側、すなわち、層間酸化膜5dの下部が細くなることにより生じるキャパシタを構成する膜の埋め込み不良を防止できる。したがって、埋め込み不良のために生じるキャパシタ容量の低下を抑制できるため、キャパシタ容量を向上させることが可能となる。それにより、半導体基板の主表面に平行な面において同一占有面積でキャパシタ容量を増加させることができるため、ソフトエラー等のキャパシタの誤動作を抑制できる。その結果、小さな占有面積で精確に動作するキャパシタを形成できるため、半導体装置を微細化することが可能となる。

【0074】次に、図2～図9を用いて本実施の形態における半導体装置の製造方法を説明する。図2においてコンタクトブラグ7を形成するまでの工程は、コンタクトホール7bを半導体基板2の主表面に対して略垂直な円柱状に形成する以外は、従来技術で説明した半導体装置の製造方法と略同様である。次に、図3に示すように、コンタクトブラグ7およびBPTEOSからなる膜厚約500nmの層間酸化膜5dを堆積する。その後、図4に示すように、層間酸化膜5dの上にTEOSからなる膜厚約300nmの層間酸化膜5eを堆積する。そ

の後、フォトリソグラフィ法およびエッチング技術により、ストレージ電極を形成するためのホール形状のフォトレジスト膜をパターンニング形成する。そのフォトレジスト膜をマスクとして、図5に示すように、コンタクトブラグ7の表面を露出するように、反応性イオンエッチングによりコンタクトホール50を形成する。

【0075】その後、コンタクトホール50の拡大を目的として、バッファードフッ酸を用いてコンタクトホール50の側壁に等方性のウエットエッチングを施す。そのとき、層間酸化膜5dであるBPTEOSのウエットエッチングレートは約35nm/分、層間酸化膜5eであるTEOSのウエットエッチングレートは約16nm/分である。したがって、層間酸化膜5dは、層間酸化膜5eより大きくエッチングされて、図6に示すように、コンタクトホール51は、2つの上下を逆にした載頭円錐が上下に連続する形状となる。

【0076】次に、図7に示すようにに、拡大されたコンタクトホール50を形成した後、ストレージ電極となるリンがドーブされた多結晶シリコン膜8をコンタクトホール51の表面および層間酸化膜5eの上面を覆うように堆積する。次に、反応性イオンエッチングによりストレージ電極の底部が損傷しないようにあらかじめストレージ電極となる多結晶シリコン膜8が形成するホールにレジスト膜等を埋め込む。その後、図8に示すように、反応性イオンエッチングにより層間酸化膜5eの上面に堆積した多結晶シリコン膜8を除去し、ホール内のレジスト膜を除去し、ストレージ電極8a、8bを形成する。

【0077】その後、図9に示すように、ストレージ電極8a、8bおよび層間酸化膜5eを覆うように、キャパシタ誘電体膜1を堆積する。次に、図1に示すように、キャパシタ誘電体膜1の表面を覆うようにリンがドーブされた多結晶シリコン膜からなるセルプレート電極9を堆積する。これにより、キャパシタを有する半導体装置が完成する。

【0078】このような製造方法を用いることにより、リンおよび硼素の不純物を含む層間酸化膜5dの上に不純物を含まない層間酸化膜5eを形成するため、層間酸化膜5dのエッチング速度を層間酸化膜5eのエッチング速度よりも大きくなるように設定することができる。それにより、ドライエッチングを用いて層間酸化膜5d、5eを連続して上下逆の載頭円錐状に貫通するように形成されたコンタクトホール50を、さらに、ウエットエッチングを用いて開口径を拡張するような本実施の形態における半導体装置の製造方法においては、層間酸化膜5dの開口径を層間酸化膜5eの開口径より大きく拡張することができる。そのため、層間酸化膜5dの開口径のみが大きく拡張された、2つの上下を逆にした載頭円錐が上下に連続するコンタクトホール51が形成される。

【0079】それにより、2つの上下を逆にした載頭円錐が上下に連続するコンタクトホール51にキャパシタが形成された場合に、半導体基板2に近い層間酸化膜5dの開口径が層間酸化膜5eの開口径に比較して細くなることにより生じる埋め込み膜の埋め込み不良が防止されたキャパシタが形成できる。

【0080】したがって、埋め込み不良のために生じる静電容量の低下等が抑制されたキャパシタを形成できる。そのため、半導体基板に対して垂直な方向にキャパシタを大きくすることによってキャパシタ容量を向上させることが可能となる。それにより、半導体基板の主表面に平行な面において同一占有面積でキャパシタ容量を増加させることができる。そのため、キャパシタ占有面積が小さくなくても、ソフトエラー等の誤動作が抑制されたキャパシタを形成できる。その結果、小さな占有面積で精確に動作するキャパシタが形成されるため、微細化された半導体装置を提供することが可能となる。

【0081】（実施の形態2）本発明の実施の形態2における半導体装置の構造および製造方法を、図10～図16を用いて説明する。まず、図10を用いて本実施の形態における半導体装置の構造を説明する。本実施の形態の半導体装置は、実施の形態1に記載の半導体装置の構造と全体構造においては略同様であるが、キャパシタが形成される層間酸化膜5fの不純物濃度が、上部から下部に向かうにしたがって、徐々に高くなっており、この層間酸化膜5fを貫通するコンタクトホール52が半導体基板2の主表面に略垂直な円柱状に形成されていることのみ異なる。

【0082】このような構造にすることにより、層間酸化膜5fを貫通するようにドライエッチングにより形成されたコンタクトホールの開口径を、等方性のウェットエッチング等を用いて拡張する工程において、半導体基板2の主表面に略平行な方向における層間酸化膜5fのエッチング速度を、半導体基板2の主表面から離れていくにしたがって徐々に小さくなるように設定することが可能となる。そのため、通常のドライエッチング工程において上下を逆にした載頭円錐形状に形成されたコンタクトホールの開口径を半導体基板2に近づくにしながら徐々に大きく拡張することができる。その結果、ウェットエッチングにより開口径が拡大されたコンタクトホール52を半導体基板2の主表面と略垂直な円柱状に形成することが可能となる。

【0083】それにより、たとえば、上記略円柱形状に開口されたコンタクトホール52にキャパシタが形成された状態において、コンタクトプラグ7に近い部分が細くなることにより生じるキャパシタを構成するストレージ電極8となる膜の埋め込み不良を防止できる。したがって、実施の形態1と同様に、半導体装置を微細化することが可能となる。

【0084】次に、本発明の実施の形態2における半導

体装置の製造方法を、図10～図16を用いて説明する。本実施の形態における半導体装置の製造方法は、まず、コンタクトプラグ7を形成した図2の状態に至るまでは実施の形態1における半導体装置の製造方法と同様に行なう。その後、図11に示すように、BPTEOSからなる層間酸化膜5fをボロン濃度一定で、リン濃度が半導体基板2側から離れるほど低くなるように連続的に変化させて堆積する。具体的には、最下層部のリン濃度を8、4mol%、最上層部のリン濃度5mol%となるように徐々にリン濃度を低くする。その後、フォトリソグラフィ法およびエッチング技術により、ストレージ電極を形成するためのホール形状のフォトレジスト膜をパターン形成する。そのフォトレジスト膜をマスクとして、図12に示すように、コンタクトプラグ7の表面を露出するように、反応性イオンエッチングによりコンタクトホール52を形成する。

【0085】その後、コンタクトホール52の開口径の拡大を目的として、バッファードフッ酸を用いてコンタクトホール52の側壁に対して等方性のウェットエッチングを施す。この場合、バッファードフッ酸を用いると層間酸化膜5fの最上層部のエッチングレートは8nm/分であるのに対して、層間酸化膜5fの最下層部のエッチングレートが12nm/分となのように徐々に大きくなる。したがって、コンタクトホール52の開口径が拡大されたコンタクトホール53の側壁は、図13に示すように、半導体基板2の主表面に対して略垂直になる。それにより、層間酸化膜5fの上部の開口径と下部の開口径とがほぼ等しくなるコンタクトホール53が形成される。

【0086】このコンタクトホール53の開口径を拡大した後、図14に示すように、ストレージ電極となるリンがドーパされた多結晶シリコン膜8を、コンタクトホール53の表面および層間酸化膜5fの上面に沿うように堆積する。その後、反応性イオンエッチングによりストレージ電極の底部が損傷しないようにあらかじめ円筒形状のストレージ電極となる多結晶シリコン膜8が形成するホールにレジスト膜等を埋め込む。次に、図15に示すように、反応性イオンエッチングにより層間酸化膜5fの上面に堆積した多結晶シリコン膜8を除去した後、円筒形状のホール内のレジスト膜を除去し、ストレージ電極8a、8bを形成する。

【0087】その後、図16に示すように、ストレージ電極8a、8bおよび層間酸化膜5fを覆うように、キャパシタ誘電体膜1を堆積する。次に、図10に示すように、キャパシタ誘電体膜1の表面を覆うようにリンがドーパされた多結晶シリコン膜からなるセルブレート電極9を堆積する。これにより、キャパシタを有する半導体装置が完成する。

【0088】このような製造方法を用いることにより、層間酸化膜5fを貫通するようにドライエッチング形成

された図 12 に示すコンタクトホール 52 を、ウエットエッチング等を用いて拡張するような場合において、半導体基板 2 の主表面に略平行な方向における層間酸化膜 5f のエッチング速度を、半導体基板 2 の主表面から離れていくにしたがって徐々に小さくなるように設定することが可能となる。そのため、開口径を半導体基板 2 に近づくににしたがって徐々に大きく拡張するウエットエッチングを行なうことができる。その結果、図 13 に示すように、コンタクトホール 53 が略円柱形状に形成できるような層間酸化膜 5f を堆積することが可能となる。

【0089】それにより、たとえば、上記略円柱形状に開口されたコンタクトホール 53 にキャパシタが形成される本実施の形態においては、半導体基板 2 に近い部分が細くなることにより生じるキャパシタを構成する膜の埋め込み不良を防止できる。したがって、実施の形態 1 に記載の半導体装置と同様に、微細化された半導体装置を提供することが可能となる。

【0090】（実施の形態 3）本発明の実施の形態 3 における半導体装置の構造および製造方法を、図 17 を用いて説明する。まず、図 17 を用いて本実施の形態における半導体装置の構造を説明する。図 17 に示すように、ドライエッチングにより形成される開口径が小さくなると予想される上層部に堆積される層酸化膜 5i および下層部に堆積される層間酸化膜 5g には、等方性のウエットエッチング速度が大きなリン濃度 8.4 mol% の BPTEOS 膜を、ドライエッチングにより形成される開口径が大きくなる中間部に堆積される層間酸化膜 5h には等方性のウエットエッチング速度が小さいリン濃度 5.0 mol% の BPTEOS 膜が堆積されている。

【0091】このような構造の層間酸化膜 5i、5h、5g を形成することにより、異方性のドライエッチングおよび等方性のウエットエッチングを併用する上記実施の形態 1 および 2 における半導体装置の製造方法と同様の方法を用いれば、層酸化膜 5i、層間酸化膜 5h および層間酸化膜 5g を貫通するように形成されるコンタクトホール 54 を、開口径が略同一で、側壁が半導体基板の主表面に対して略垂直となるように形成することも可能となる。そのため、このコンタクトホール 54 を、キャパシタを形成するためのコンタクトホールに適用すれば、従来技術で示したようなボーイング形状になるようなコンタクトホールが形成されために生じる、コンタクトホールの埋め込み不良等を抑制できる。その結果、このコンタクトホール 54 を、コンタクトプラグ 70 を形成するためのコンタクトホールに適用すれば、接触部分の開口径が十分に確保され、コンタクト抵抗の小さなコンタクトプラグを形成することが可能となる。また、コンタクトホール 54 の層酸化膜 5i 部分の開口径も大きく形成されているため、コンタクトプラグ 70 を形成するための導電性物質の埋め込みが容易になる。また、上記のコンタクトホール 54 をキャパシタが形成されるコン

タホールに用いれば、上記実施の形態 1 および 2 と同様に、静電容量の大きなキャパシタを提供できる。

【0092】次に、本発明の実施の形態 3 における半導体装置の製造方法を、図 17 を用いて説明する。まず、形成されたホールの径が小さくなると予想される上層部に堆積される層酸化膜 5i と下層部に堆積される層間酸化膜 5g には、リン濃 8.4 mol% のウエットエッチング速度が大きな BPTEOS 膜を、異方性のドライエッチングにより形成されたコンタクトホールの開口径が大きくなる中間部に堆積される層間酸化膜 5h には、リン濃度 5.0 mol% の等方性のウエットエッチング速度が大きな BPTEOS 膜を堆積する。次に、フォトリソグラフィおよびエッチングによりパターン形成されたフォトリソレジスト膜をマスクとして、反応性エッチングにより、従来技術を用いて、図 26 で示したコンタクトホールと同様の、層酸化膜 5i、層間酸化膜 5h および層間酸化膜 5g を貫通するコンタクトホールを形成する。すなわち、図 26 に示すように、上層部および下層部が狭くなり、中層部が太くなる、いわゆる、ボーイング形状であるコンタクトホールを形成する。その後、図 17 に示すように、等方性のウエットエッチングにより、層酸化膜 5i、層間酸化膜 5h および層間酸化膜 5g の開口径をそれぞれのエッチング速度に応じて広げ、コンタクトホール 54 の側壁を半導体基板の主表面に略垂直に形成する。

【0093】このような製造方法を用いることにより、コンタクトホール 54 が形成された層酸化膜 5i、層間酸化膜 5h および層間酸化膜 5g においては、他の導電層に至る層間酸化膜 5g 部分の開口径が大きいため、接触面積の減少によるコンタクト抵抗の増加を防止できる。また、コンタクトホール 54 の層酸化膜 5i 部分の開口径も大きくなるため、コンタクトプラグ 70 を形成するための導電性物質の埋め込みが容易になる。

【0094】また、上記のコンタクトホール 54 の製造方法をキャパシタが形成されるホールの製造方法に用いれば、上記実施の形態 1 および 2 と同様に、静電容量の大きなキャパシタを形成できる。

【0095】（実施の形態 4）本発明の実施の形態 4 における半導体装置の構造および製造方法を、図 18 を用いて説明する。まず、図 18 を用いて本実施の形態における半導体装置の構造を説明する。図 18 に示すように、P 型のシリコン基板 2 の上に分離酸化膜 5a が形成されている。この分離酸化膜 5a により分離形成された素子形成領域には、ゲート酸化膜 4c を介して、多結晶シリコン膜 4b および高融点金属シリサイド膜 4a からなる 2 層構造のゲート電極 4（ワード線）が形成されている。また、半導体基板 2 には、n<sup>-</sup>拡散層であるソース／ドレイン領域 3 が形成され、MOSFET、すなわち、MOS 電界効果トランジスタが形成されている。ゲート電極 4、ソース／ドレイン領域 3 および分離酸化膜

5aを覆うように、半導体基板2の上に、リン濃度8.4mol%のBPTEOS膜である層間酸化膜5bが堆積されている。また、ソース/ドレイン領域3に至るコンタクトホール6aが形成されている。このコンタクトホール6aには、コンタクトプラグが埋め込まれ、MOS電界効果トランジスタに接続するビット線6が形成されている。層間酸化膜5bの上には、リン濃度5.0mol%である層間酸化膜5cが堆積され、キャパシタのストレージ電極に至る、2つの上下を逆にした載頭円錐が上下に連続する形状のコンタクトホール7bが形成されている。このコンタクトホール7b内には、導電物質が埋め込まれることによって、コンタクトプラグ7が形成されている。

【0096】このような構造にすることにより、等方性のウエットエッチングにおいて、コンタクトプラグ7が形成されるコンタクトホール7bの底部がより大きく拡大されているため、コンタクトプラグ7とソース/ドレイン領域3との接触面積が大きくなる。また、コンタクトホール7bの上部は、開口径が必要以上に形成されていないため、ビット線6に電氣的に悪影響を及ぼすような距離までは接近していない。その結果、コンタクトプラグ7の側面において、コンタクトプラグ7とビット線6との短絡を防ぐとともに、コンタクトプラグ7とソース/ドレイン領域3との間のコンタクト抵抗を低減することができる。

【0097】次に、本発明の実施の形態4における半導体装置の製造方法を、図19および図21を用いて説明する。まず、P型のシリコン基板2の上に分離酸化膜5aを形成する。次に、分離酸化膜5aにより分離形成された素子形成領域に、ゲート酸化膜4cおよび高融点金属シリサイド膜4aおよび多結晶シリコン膜4bの2層構造からなるゲート電極4（ワード線）を形成する。次に、半導体基板2の主表面から所定の深さにかけて、n<sup>+</sup>拡散層であるソース/ドレイン領域3を不純物注入により形成し、MOSFET、すなわち、MOS電界効果トランジスタを形成する。

【0098】その後、ソース/ドレイン領域3、ゲート電極4および分離酸化膜5aを覆うようにリン濃度8.4mol%のBPTEOSからなる層間酸化膜5bを堆積する。次に、ソース/ドレイン領域3に接続するコンタクトホール6aを形成する。その後、コンタクトホール6aにコンタクトプラグを埋め込み、所定の形状にエッチングする。それにより、図19に示すように、ビット線6が形成される。次に、層間酸化膜5bおよびビット線6を覆うように、リン濃度5.0mol%のBPTEOSからなる層間酸化膜5cを堆積する。

【0099】その後、フォトリソグラフィ法およびエッチング技術により形成したフォトレジストをマスクとして、層間酸化膜5bおよび層間酸化膜5cを貫通するソース/ドレイン領域3に至るようなコンタクトホール7

aを形成して、図20および図20のA-A断面図である図21に示すような状態にする。その後、等方性のウエットエッチングを行うと、コンタクトホール7aの層間酸化膜5b部分は層間酸化膜5c部分よりウエットエッチングレートが速いため、開口径をより大きく広げる。それにより、図21に示されたコンタクトホール7aは、図22に示すように、層間酸化膜5b部分の開口径のみが大きく拡大されたコンタクトホール7bとなる、すなわち、2つの上下を逆にした載頭円錐が上下に連続する形状となる。

【0100】このような製造方法を用いることにより、コンタクトホール7bの上部を形成する層間酸化膜5cは、必要以上に開口径が大きくなるため、ビット線6とコンタクトプラグ7とが短絡しない。また、コンタクトプラグ7が形成されるコンタクトホール7bの底部に相当する層間酸化膜5cの開口径を拡大することができるため、コンタクトプラグ7とソース/ドレイン領域3との接触面積を大きくすることができる。その結果、コンタクトプラグ7とビット線6との短絡を防止するとともに、コンタクトプラグ7とソース/ドレイン領域3との間のコンタクト抵抗を低減することができる。

【0101】上記実施の形態1～4においては、不純物を含むBPTEOS膜を用いたが、エッチング速度を変化させることができる不純物を含む層間酸化膜であれば、PTEOS膜、BTEOS膜、または、リンまたはボロンと他の物質との任意の組合わせで形成された不純物を含む層間酸化膜であってもよい。

【0102】また、上記実施の形態1～4においては、不純物を含まない層間酸化膜としてTEOS膜を用いたが、TEOS膜のかわりに不純物がドーピングされていないNSG（Non Doped Silicate Glass）膜等を用いてもよい。

【0103】また、上記実施の形態1～4においては、等方性のエッチングとして、ウエットエッチングを用いたが、等方性を有するエッチングであれば、ドライエッチングを用いてコンタクトホールの開口径の拡大量に差をもたせてもよい。

【0104】（実施の形態5）次に、本発明の実施の形態5の半導体装置の製造方法を、図29～図31に基づいて説明する。本実施の形態においては、まず、ゲート電極204を形成後、全面に窒化膜212aを形成する。その後、硼素の濃度が3.2wt%のBPTEOSを80nm程度堆積して、層間酸化膜205mを形成する。この段階では、層間酸化膜205mが薄いため、互いに隣接するゲート電極204間のスペースは埋らず、図29に示すような断面形状となる。この状態で熱処理を加えると、BPTEOSが軟化してゲート電極204間のスペースに流れ込み、図30に示すように、その後形成される層間酸化膜205nが埋りやすい形状、すなわち、アスペクト比が低くかつならかな形状とな



る。

【0105】その後、2.8wt%の硼素を含むBPTEOSを6200nm程度堆積して層間酸化膜205nを形成し、熱処理を行なうことにより、図31に示すように、図43に示した従来技術において生じたようなボイド213aが発生することなく、層間酸化膜205m、205nを形成することができる。

【0106】（実施の形態6）次に、本発明の実施の形態6の半導体装置の製造方法を、図32～図35に基づいて説明する。本実施の形態は、図32に示すようにBPTEOSの堆積直後にボイド213aが発生している場合、層間酸化膜205bの膜厚が薄いほうがボイド213aに溜まったガスが熱処理により抜けやすいことを利用する。本実施の形態においては、まず、硼素が3.2wt%含まれるBPTEOSを300nm程度堆積して、層間酸化膜205bとする（図32）。その際に層間酸化膜205bにボイド213aが発生するが、層間酸化膜205bを比較的薄く形成することにより、それに熱処理を加えることによって、ボイド213aを消失させることができる。その後、層間酸化膜205cを40

0nm程度堆積することにより、層間酸化膜205aおよび層間酸化膜205cを合わせた比較的厚い層間酸化膜が、図33に示すようにボイドを含まない状態で形成される。図33における横方向の破線は、層間酸化膜205bと層間酸化膜205cとの境界を示している。【0107】その後、平坦性を向上させるために層間酸化膜205c上全面に異方性エッチングを行い、さらに、層間酸化膜205b、205aをフォトリソ法および異方性エッチングを用いてビットラインコンタクトを形成するためのホール207aを形成した後、レジストを除去することにより、図34に示す構造となる。レジストの除去は、酸化膜を等方的にエッチングするウェットエッチングを施すことによって行なう。その際、層間酸化膜の層と下層のエッチングレートが異なるため、ホール207aは図34に示すような、内周壁に段差を有する形状になる。図34縦方向の破線は、層間酸化膜が1層のみで形成された場合に形成されるホール207aの形状を示している。

【0108】その後、ホール207aの底の窒化膜に対して異方性エッチングを施すと、ホール207aは図35に示す形状となる。その際、ホール207aの内周壁の段差よりも上側（層間酸化膜205bの部分）の内側に突き出した酸化膜がマスクとなるため、円214で囲んだ部分に残る窒化膜および酸化膜が、図47に基づいて説明した従来の構造に比べて、より厚く残存する。したがって、ビットラインとゲート電極204との短絡に対するマージンが向上する。

【0109】（実施の形態7）次に、本発明の実施の形態7の半導体装置の製造方法を、図36～図38に基づいて説明する。本実施の形態においては、まず、図35

に示した構造の上に、従来と同様の方法でビットラインを形成する（図36）。なお、図36～図38においては、下側にすでに形成された図35に示す構造が省略されており、層間酸化膜205bの厚さ方向の中間位置から上側のみの、ビットライン206が延びる方向に垂直な断面が示されている。

【0110】次に、硼素を3.2wt%含むBPTEOSを50nm程度堆積して、層間酸化膜205eを形成する（図36）。この状態で熱処理を行なうことにより、層間酸化膜205eが軟化して、隣接するビットライン206間の谷間の底が、その後に堆積される酸化膜が埋りやすい形状となる（図37）。その後、層間酸化膜である硼素を2.8wt%含むBPTEOSを750nm程度堆積して層間酸化膜205fを形成し、熱処理を加えると、図38に示す断面構造となる。

【0111】（実施の形態8）次に、本発明の実施の形態8の半導体装置の製造方法を、図39～図44に基づいて説明する。本実施の形態においては、まず、上記従来技術において説明した図47の構造が完成した後、従来と同様の工程で、図39に示す層間酸化膜205gおよびストレージノードコンタクトプラグ207bを形成する。なお、図39～図42においては、下側にすでに形成した構造が省略されており、ビットライン206の位置から上側のみの、ビットライン206が延びる方向に垂直な断面が示されている。

【0112】次に、層間酸化膜205gの上に、硼素を3.2wt%含むBPTEOSを1000nm堆積して熱処理を行なうことにより、層間酸化膜205hを形成する。その後、フォトリソ法および異方性エッチングを用いて、コンタクトプラグ207cを形成するためのコンタクトホールを形成する。このコンタクトホール内に導電物質を堆積し、その上全面に異方性エッチングを施すことにより、コンタクトプラグ207cを形成し、図39に示す断面構造とする。

【0113】次に、層間酸化膜205h上に、硼素を2.6wt%含むBPTEOSを1000nm程度堆積して熱処理を行なうことにより、層間酸化膜205iを形成する。その後、ストレージノードを形成するためのホール208aを開口し、図40に示す構造とする。その後、このホール208a内に、図50に基づいて説明した従来の製造方法と同様の工程で、まずストレージノード208を形成する（図41）。ただし、含有する硼素の濃度が、層間酸化膜205hにおいて層間酸化膜205iよりも高いことから、ホール208aの開口後ストレージノード208形成前に行うウェットエッチングによる拡大の度合いが、下層側すなわち層間酸化膜205hの側においてより大きい。よって、ホール208が図41に示すように形成されるため、ストレージノード208の下部におけるセルプレートの埋め込み不良や、電極材料の底上げは発生しない。したがって、キャパシタ

容量の低下を抑制することができる。

【0114】その後、従来と同様の工程によってセルプレート209を形成し、その上に、硼素を2.3wt%含むBPTEOSを300nm程度堆積して熱処理を行なうことにより、層間酸化膜205jを形成する。その後、コンタクトプラグ207c上に、フォトリソ法および異方性エッチングによって、層間酸化膜205j、205iを貫通するホール207pを開口し、図42に示す断面構造とする。その後さらに、レジスト除去のためのウエットエッチングの際に、層間酸化膜205iの方が層間酸化膜205jよりも高いエッチングレート

を有することに起因して、ホール207pの拡大の度合いが上層よりも下層で大きくなり、図43に示すような段差を有するホール207q、207rが形成される。

【0115】その後、従来と同様の工程により、ホール207q、207rに導電物質を埋め込むことにより、コンタクトプラグ207i、207jを形成し、図44に示す構造とする。このように、本実施の形態においては、コンタクトプラグ207cとその上のコンタクトプラグ207i、207jとを別工程で形成され、さらに、ホール207q、207rが2段構造になるため、コンタクトプラグ207c、207i、207jが形成されるホールを開口するエッチングによって、ホールがボウイング形状となることない。したがって、コンタクトプラグ207c、207i、207jを形成する際のコンタクトプラグ材料の埋め込み不良の発生が防止される。

【0116】なお、今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなく特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0117】

【発明の効果】以上説明したように、本発明の半導体装置によれば、小さな占有面積で精確に動作するキャパシタを形成できるため、半導体装置を微細化することが可能となるとともに、埋め込み不良により生じるコンタクトプラグの抵抗の増加を抑制できるため、半導体装置の省電力化を図ることができる。

【0118】本発明の半導体装置の製造方法によれば、小さな占有面積で精確に動作するキャパシタが形成されるため、微細化された半導体装置を提供することが可能となるとともに、埋め込み不良により生じるコンタクトプラグの抵抗の増加が抑制されるため、省電力化された半導体装置を提供することが可能となる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1に記載の半導体装置の構造を示す断面図である。

【図2】 本発明の実施の形態1に記載の半導体装置の製造方法において、層間酸化膜に形成されたコンタクトホールを埋め込むソース/ドレイン領域に接続されるコンタクトプラグを形成した直後の断面の状態を示す図である。

【図3】 本発明の実施の形態1に記載の半導体装置の製造方法において、コンタクトプラグが形成された層間酸化膜の表面を覆うようにキャパシタを形成するための下部の層間酸化膜を形成した直後の断面の状態を示す図である。

【図4】 本発明の実施の形態1に記載の半導体装置の製造方法において、キャパシタを形成するための、下部の層間酸化膜の上に上部の層間酸化膜を形成した直後の断面の状態を示す図である。

【図5】 本発明の実施の形態1に記載の半導体装置の製造方法において、ドライエッチングを用いて、コンタクトプラグに向かって上部および下部の層間酸化膜を貫通する上下を逆にした載頭円錐形状のコンタクトホールを形成した直後の断面の状態を示す図である。

【図6】 本発明の実施の形態1に記載の半導体装置の製造方法において、ウエットエッチングを用いて、下部の層間酸化膜に形成されたコンタクトホールの開口径を半導体基板に対して水平方向に大きく拡張し、2つの上下を逆にした載頭円錐が上下に連続するコンタクトホールを形成した直後の断面の状態を示す図である。

【図7】 本発明の実施の形態1に記載の半導体装置の製造方法において、キャパシタを形成するための層間酸化膜に形成されたコンタクトホールの側壁にストレージ電極となる導電層を形成した直後の断面の状態を示す図である。

【図8】 本発明の実施の形態1に記載の半導体装置の製造方法において、キャパシタを形成するための層間酸化膜の上に形成された不必要な導電層を除去した直後の断面の状態を示す図である。

【図9】 本発明の実施の形態1に記載の半導体装置の製造方法において、層間酸化膜の上面およびストレージ電極となる導電層の表面を覆うように誘電体膜を形成した直後の断面の状態を示す図である。

【図10】 本発明の実施の形態2に記載の半導体装置の構造を示す断面図である。

【図11】 本発明の実施の形態2に記載の半導体装置の製造方法において、コンタクトプラグが形成された層間酸化膜の表面を覆うようにキャパシタを形成するための層間酸化膜を形成した直後の断面の状態を示す図である。

【図12】 本発明の実施の形態2に記載の半導体装置の製造方法において、キャパシタを形成するための層間酸化膜にドライエッチングにより上下逆の載頭円錐状のコンタクトホールを形成し、コンタクトプラグを露出させた直後の断面の状態を示す図である。



【図 13】 本発明の実施の形態 2 に記載の半導体装置の製造方法において、ウエットエッチングにより、コンタクトホールの開口径を拡大した直後の断面の状態を示す図である。

【図 14】 本発明の実施の形態 2 に記載の半導体装置の製造方法において、キャパシタが形成されるコンタクトホールの内面および層間酸化膜の上面に沿うように、ストレージ電極となる導電層を形成した直後の断面の状態を示す図である。

【図 15】 本発明の実施の形態 2 に記載の半導体装置の製造方法において、キャパシタが形成される層間酸化膜の上面に形成された導電層を除去した直後の断面の状態を示す図である。

【図 16】 本発明の実施の形態 2 に記載の半導体装置の製造方法において、キャパシタが形成される層間酸化膜の上面およびストレージ電極となる導電層の表面に誘電体膜を形成した直後の断面の状態を示す図である。

【図 17】 本発明の実施の形態 3 に記載の半導体装置の構造を示す断面図である。

【図 18】 本発明の実施の形態 4 に記載の半導体装置の構造を示す断面図である。

【図 19】 本発明の実施の形態 4 に記載の半導体装置の製造方法において、層間酸化膜を貫通してソース／ドレイン領域に到達するビット線を形成した直後の断面の状態を示す図である。

【図 20】 本発明の実施の形態 4 に記載の半導体装置の製造方法において、ドライエッチングにより層間酸化膜を貫通して、ソース／ドレイン領域に至るコンタクトホールを形成した直後の断面の状態を示す図である。

【図 21】 本発明の実施の形態 4 に記載の半導体装置の製造方法において、層間酸化膜を貫通してソース／ドレイン領域に到達するビット線を形成した直後の断面の状態である図 20 の A-A 線に沿って切った断面図である。

【図 22】 従来の半導体装置の製造方法において、ドライエッチングにより層間酸化膜に形成されたコンタクトホールに、ソース／ドレイン領域に接続されるコンタクトプラグが埋め込まれビット線が形成された直後の断面の状態を示す図である。

【図 23】 従来の半導体装置の製造方法において、ドライエッチングにより層間酸化膜を貫通して、ソース／ドレイン領域に到達するコンタクトホールを形成した直後の断面の状態を示す図である。

【図 24】 従来の半導体装置の製造方法において、ドライエッチングによりキャパシタが形成される層間酸化膜にコンタクトホールを形成し、コンタクトプラグの表面を露出させた直後の断面の状態を示す図である。

【図 25】 従来のキャパシタを有する半導体装置の構造を示す断面図である。

【図 26】 従来の半導体装置の製造方法において、ボ

ーイング形状に形成されたコンタクトホールにコンタクトプラグが埋め込まれたときに、コンタクトプラグ内部にボイドが形成された状態を示す断面図である。

【図 27】 従来の半導体装置の製造方法において、ドライエッチングにより層間酸化膜を貫通し、ソース／ドレイン領域に至るコンタクトホールを形成した直後の状態において、図 23 の B-B 線に沿って切ったときの状態を示す断面図である。

【図 28】 従来の半導体装置の製造方法において、ウエットエッチングにより、層間酸化膜に形成されたソース／ドレイン領域に至るコンタクトホールの開口径を、ウェットエッチングを用いて拡大した直後の断面の状態を示す図である。

【図 29】 本発明の実施の形態 5 の一製造工程における半導体装置の断面構造を示す図である。

【図 30】 本発明の実施の形態 5 の、図 29 に続く製造工程における半導体装置の断面構造を示す図である。

【図 31】 本発明の実施の形態 5 の、図 30 に続く製造工程における半導体装置の断面構造を示す図である。

【図 32】 本発明の実施の形態 6 の一製造工程における半導体装置の断面構造を示す図である。

【図 33】 本発明の実施の形態 6 の、図 32 に続く製造工程における半導体装置の断面構造を示す図である。

【図 34】 本発明の実施の形態 6 の、図 33 に続く製造工程における半導体装置の断面構造を示す図である。

【図 35】 本発明の実施の形態 6 の、図 34 に続く製造工程における半導体装置の断面構造を示す図である。

【図 36】 本発明の実施の形態 7 の一製造工程における半導体装置の断面構造を示す図である。

【図 37】 本発明の実施の形態 7 の、図 36 に続く製造工程における半導体装置の断面構造を示す図である。

【図 38】 本発明の実施の形態 7 の、図 37 に続く製造工程における半導体装置の断面構造を示す図である。

【図 39】 本発明の実施の形態 8 の一製造工程における半導体装置の断面構造を示す図である。

【図 40】 本発明の実施の形態 8 の、図 39 に続く製造工程における半導体装置の断面構造を示す図である。

【図 41】 本発明の実施の形態 8 の、図 40 に続く製造工程における半導体装置の断面構造を示す図である。

【図 42】 本発明の実施の形態 8 の、図 41 に続く製造工程における半導体装置の断面構造を示す図である。

【図 43】 本発明の実施の形態 8 の、図 42 に続く製造工程における半導体装置の断面構造を示す図である。

【図 44】 本発明の実施の形態 8 の、図 43 に続く製造工程における半導体装置の断面構造を示す図である。

【図 45】 従来の半導体装置の製造方法の一工程における、半導体装置の断面構造を示す図である。

【図 46】 従来の半導体装置の製造方法の、図 45 に続く工程における半導体装置の断面構造を示す図である。

【図47】 従来の半導体装置の製造方法の、図46に続く工程における半導体装置の断面構造を示す図である。

【図48】 従来の半導体装置の製造方法の、図47に続く工程における半導体装置の断面構造を示す図である。

【図49】 従来の半導体装置の製造方法の、図48に続く工程における半導体装置の断面構造を示す図である。

【図50】 従来の半導体装置の製造方法の、図49に続く工程における半導体装置の断面構造を示す図である。

【図51】 従来の半導体装置の製造方法の、図50に続く工程における半導体装置の断面構造を示す図である。

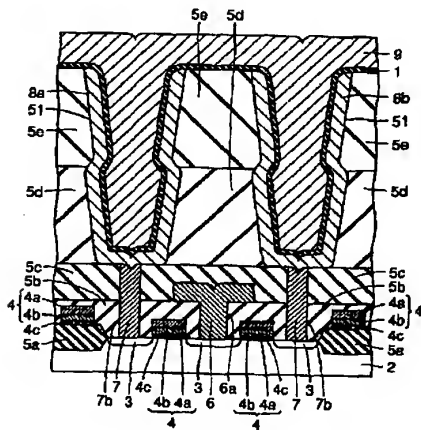
【図52】 従来の半導体装置の製造方法の、図51に続く工程における半導体装置の断面構造を示す図である。

\*

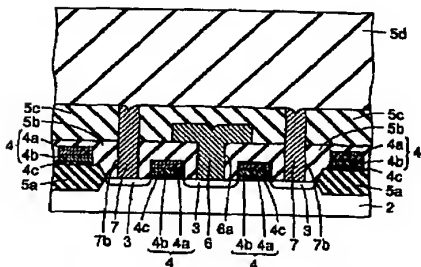
\*【符号の説明】

1 キャパシタ誘電体膜、2 半導体基板、3 ソース／ドレイン領域、4 ゲート電極、4a 高融点金属シリサイド膜、4b 多結晶シリコン膜、4c ゲート酸化膜、5a 素子分離酸化膜、5b, 5c, 5d, 5e, 5f, 5g, 5h, 5i 層間酸化膜、6 ビット線、7 コンタクトプラグ、7a, 7b コンタクトホール、8 ストレージ電極、9 セルプレート電極、50, 51, 52, 53, 54 コンタクトホール、70 コンタクトプラグ、202 半導体基板、203 ゲート酸化膜、204 ゲート電極、205a 素子分離酸化膜、205a, 205c, 205e, 205f, 205g, 205h, 205i, 205j 層間酸化膜、206 ビットライン、207a ホール、207b ストレージノードコンタクトプラグ、207c, 207d コンタクトプラグ、208 ストレージノード、208a ホール、209 セルプレート。

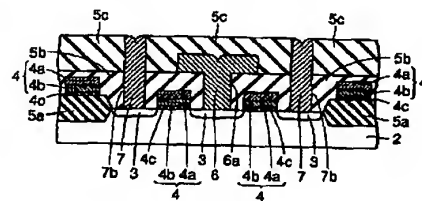
【図1】



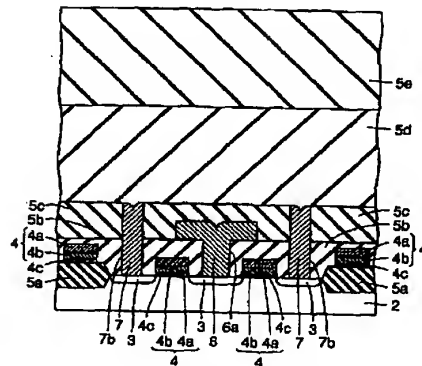
【図3】



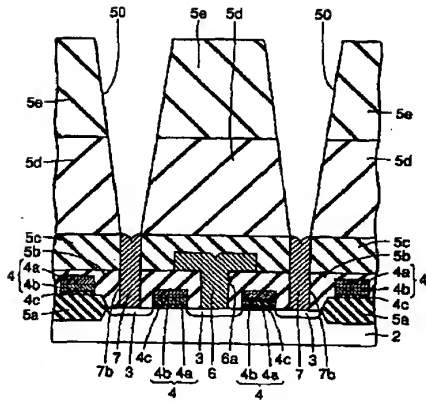
【図2】



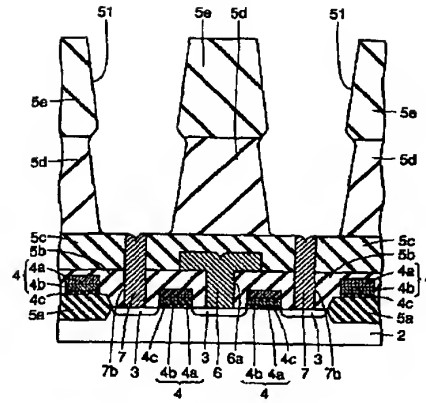
【図4】



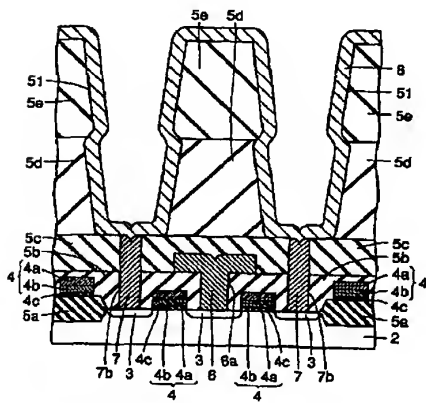
【図5】



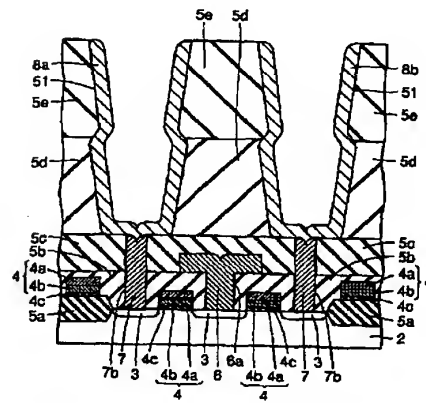
【図6】



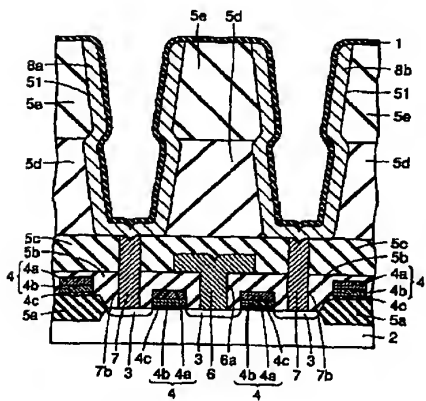
【図7】



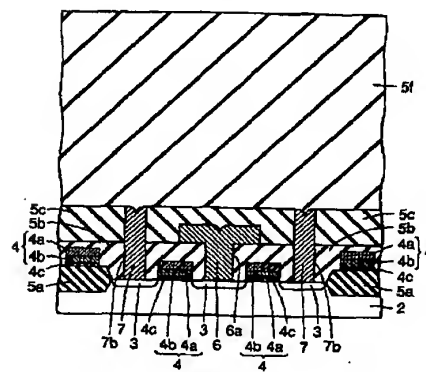
【図8】



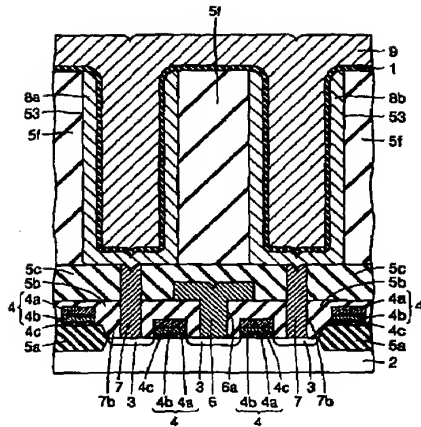
【図9】



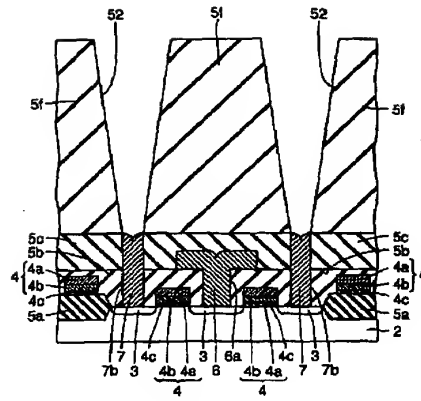
【図11】



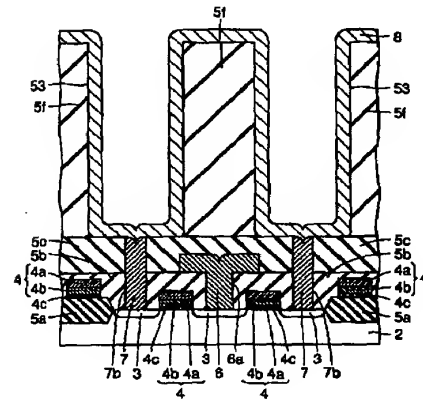
【図10】



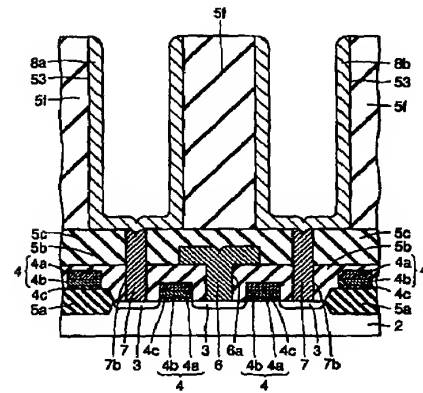
【図12】



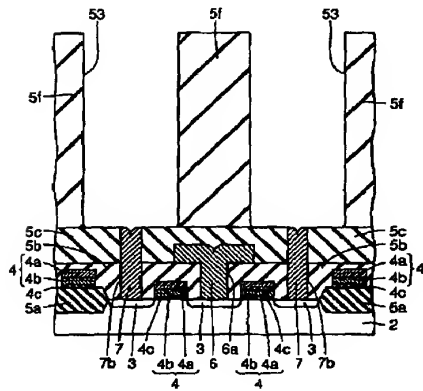
【図14】



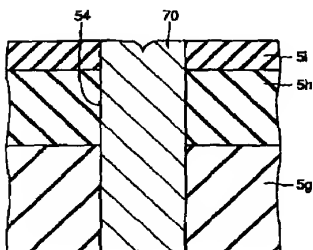
【図15】



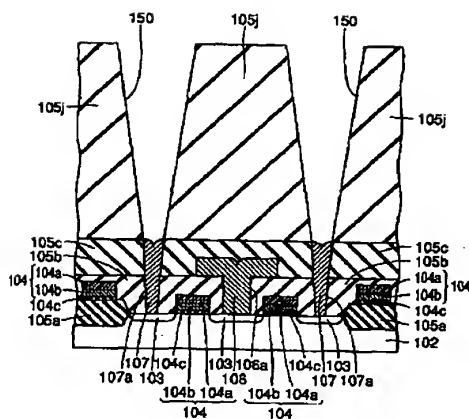
【図13】



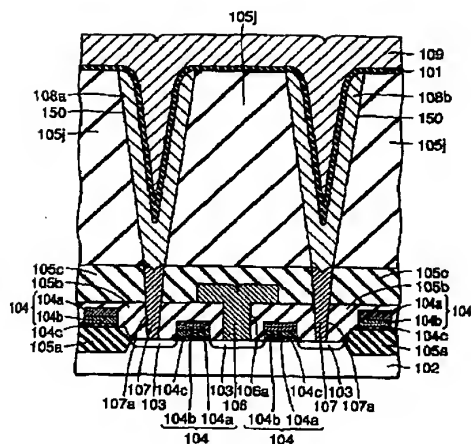
【図17】



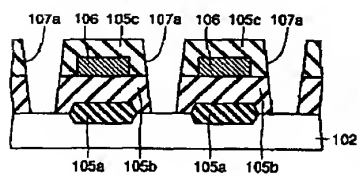
【図24】



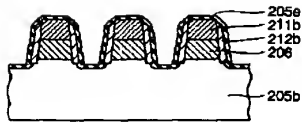
【図25】



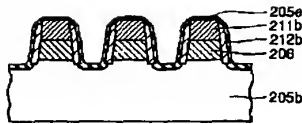
【図27】



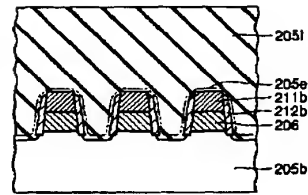
【図36】



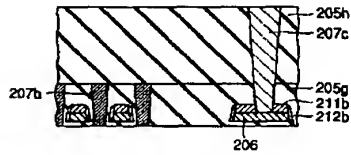
【図37】



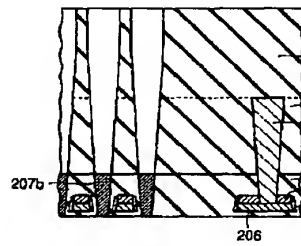
【図38】



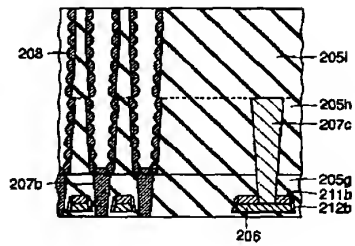
【図39】



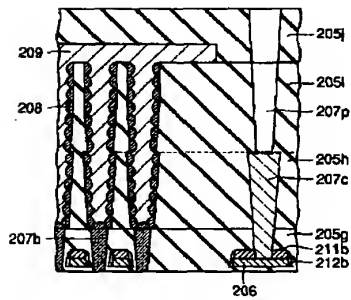
【図40】



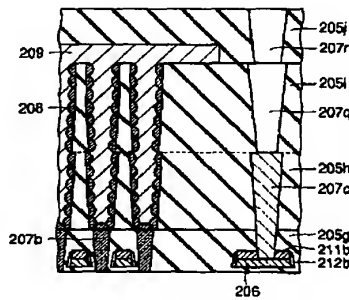
【図41】



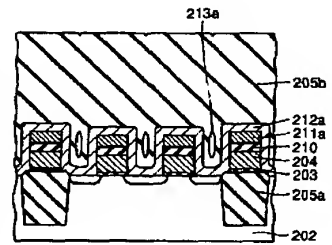
【図42】



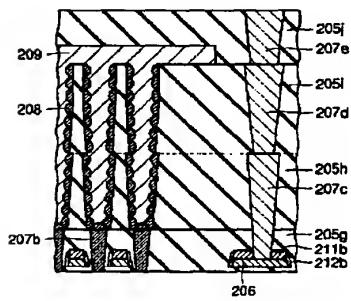
【図43】



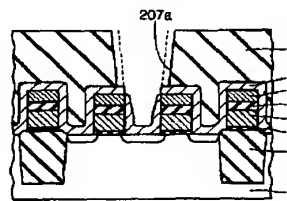
【図45】



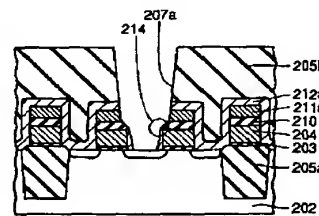
【図44】



【図46】



【図47】



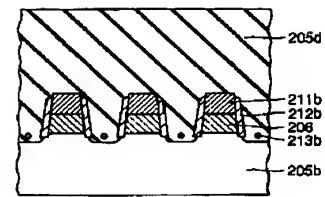
【図48】



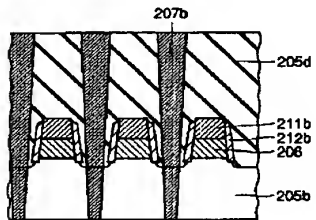
【図49】



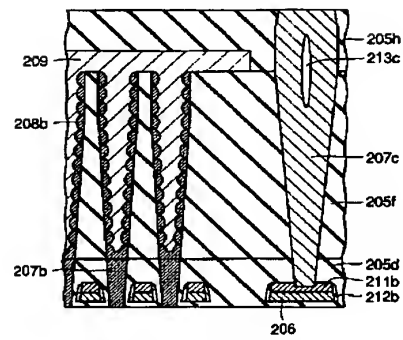
【図50】



【図51】



【図52】



フロントページの続き

(72)発明者 小林 平治  
東京都千代田区丸の内二丁目2番3号 三  
菱電機株式会社内

(72)発明者 中澤 正一郎  
兵庫県伊丹市瑞原四丁目1番地 菱電セミ  
コンダクタシステムエンジニアリング株式  
会社内